

Лабораторная работа № 7

Изучение технологического маршрута изготовления полупроводниковых интегральных схем на МОП-структурах (КМОП-элементах)

Цель работы: изучение последовательности формирования структуры и технологических параметров операций типового маршрута изготовления КМОП-элементов интегральных схем.

Теоретические сведения

Полевой транзистор на основе структуры металл-оксид (диэлектрик)-полупроводник был получен через несколько лет после диффузионного биполярного транзистора. В настоящее время МОП-структуры наиболее широко применяются в производстве интегральных схем в виде КМОП-элементов, которые вобрали в себя все преимущества и достижения полупроводниковой планарной технологии. Среди достоинств КМОП-элементов отметим широкий диапазон напряжений питания и высокую выходную мощность. Для цифровых схем важным преимуществом этих структур является повышенная помехоустойчивость за счет широкого диапазона возможных значений выходного напряжения. Общим технологическим достоинством МОП-структур является меньшее число операций (в том числе дорогостоящих литографий) и следовательно более низкая стоимость.

Разработка и внедрение КМОП-элементов позволило решить наиболее острую проблему МОП-структур – высокую потребляемую мощность. Небольшое потребление мощности в КМОП-структурах обусловлено тем, что в любом логическом состоянии транзисторы закрыты. В современных интегральных схемах обычно используются структуры с большим числом быстродействующих n -канальных транзисторов, и гораздо меньшим числом p -канальных приборов, то есть реализуются динамические схемы, в которых не все МОП-транзисторы являются парными, как в статических схемах. Это позволяет экономить площадь кристалла (по сравнению с парными КМОП-структурами) и уменьшать потребляемую энергию (в сравнении со схемами на одноступенчатых n -канальных МОП-структурах). Дополнительные возможности по регулированию параметров схемы дает использование в одном кармане более надежных транзисторов со встроенным каналом и более дешевых транзисторов с индуцированным каналом.

В лабораторной работе рассматривается технологический маршрут изготовления

базового матричного кристалла (БМК) на КМОП-элементе на основе пары n - и p -канальных транзисторов с индуцированным каналом. Существуют

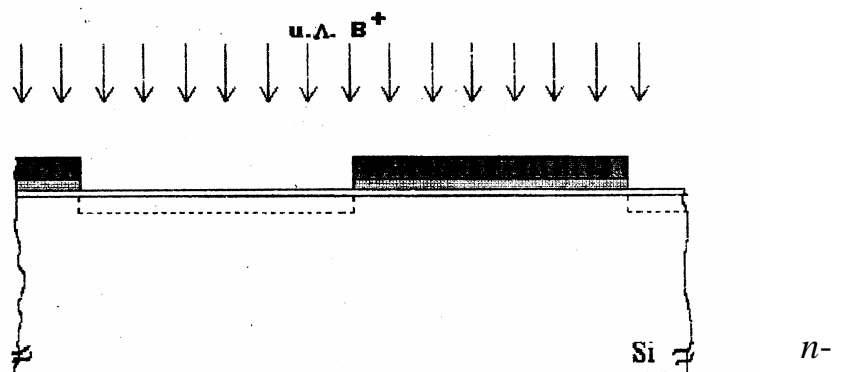


Рис. 1. Формирование областей p -кармана (аналогично для n -кармана)

и *p*-однокарманный, а также двухкарманный вариант создания КМОП-структур. В последнем случае *n*- и *p*-канальные транзисторы формируются в *p*- и *n*-карманах подложки соответственно. Введение двух самосовмещенных карманов необходимо, во-первых, для повышения устойчивости микросхем к основной проблеме КМОП –элементов – эффекту защелкивания (или тиристорному эффекту). Он возникает при протекании значительных устойчивых токов в тиристорной структуре на базе паразитных *n-p-n* и *p-n-p*-транзисторов (например, в структуре исток-карман-подложка)). Такое защелкивание в виде нежелательного канала проводимости может привести к нарушению функционирования схемы или даже к ее разрушению. Во-вторых, независимый уровень легирования в отдельных карманах позволяет гибко регулировать параметры отдельных приборов (например, пороговое напряжение). В качестве материала подложки «двухкарманного» варианта можно использовать кремний обоих типов проводимости. При формировании структуры непосредственно в кремниевой пластине (без эпитаксии) используются слаболегированные подложки ($\sim 10^{15}$ см⁻³). В таком варианте сложнее управлять параметрами транзисторных структур. При использовании эпитаксиальных слоев подложкой обычно является достаточно сильно легированный кремний *n*-типа ($\sim 10^{19}$ см⁻³). Эпитаксиальный слой того же типа в таком случае обычно является более *высокоомным*, чем подложка, что уменьшает вероятность защелкивания транзисторной структуры. В работе в качестве примера рассматривается кремниевая подложка КЭФ-4,5.

Технологический маршрут создания БМК на КМОП-структурах начинается с формирования карманов (рис. 1), что осуществляется в отдельных циклах локального легирования подложки. Маскирующее покрытие в этом случае включает двуслойный диэлектрик на основе SiO₂ и Si₃N₄. **Карман *p*-типа** (более протяженная область для ряда *n*-канальных транзисторов) формируется ионным легированием бора с энергией 40 кэВ и дозой 2,0 мкКл/см² через тонкий слой оксида. **Карман *n*-типа** (обычно менее протяженная область для немногочисленных *p*-канальных транзисторов) формируется ионным легированием фосфора с энергией 75 кэВ и дозой 0,5 мкКл/см². (рис.2). Разгонка карманов происходит при 1200 °С в течение 2 часов в атмосфере кислорода и 8 часов в атмосфере аргона, после чего оксид полностью удаляется с поверхности кремния. Напомним здесь, что каждый карман может включать большое число однотипных транзисторов, не требующих создания специальной изоляции. Как уже указывалось, число *n*-канальных транзисторов обычно больше, поэтому размеры *p*-карманов превышают размеры *n*-карманов.

Следующим этапом технологии является формирование **охраны и изоляции** между карманами (рис. 2). Эти области минимизируют отрицательное влияние паразитных

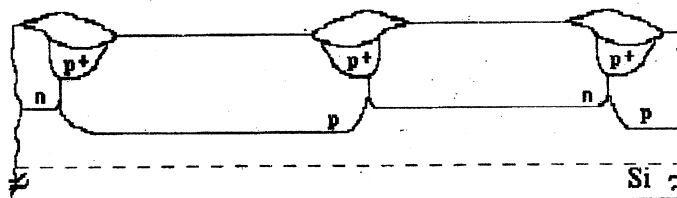


Рис.4 . Формирование охранных областей, этап 2 (локальное окисление, снятие Si₃N₄)

транзисторов, возникающих между исток-стоковыми областями одного кармана и подзатворным полупроводником другого кармана. **Охранные зоны** между карманами представляют собой достаточно глубокие p^+ -области, расположенные на границе карманов. Они ограничивают распространение инверсных каналов в транзисторных структурах, которое может привести к возникновению электрической связи между приборами. Доза легирования охранных (ограничительных) областей выбирается достаточно высокой, чтобы обеспечить необходимую концентрацию бора после локального окисления. Вместе с тем, слишком сильное легирование (дозой более 10^{13} ат/см²) приводит к увеличению емкости сток(исток)/подложка, к снижению напряжения пробоя охранных p - n -переходов и увеличению чувствительности порогового напряжения к эффектам сужения ширины канала. Для создания глубоких охранных p^+ -областей используется ионное легирование бора с

повышенной энергией порядка 100 кэВ и дозой 250 мкКл/см² (рис. 2).

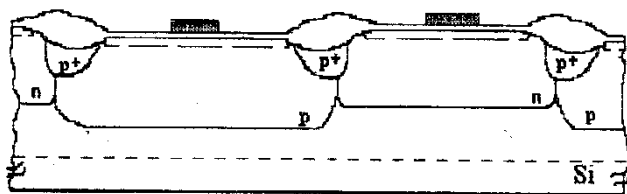


Рис. 3. Подлегирование областей индуцированного канала и формирование подзатворного диэлектрика и затвора на основе поликристаллического кремния

Простой вариант изоляции предполагает выращивание толстого слоя SiO_2 на всей поверхности пластины. Более эффективным является метод локального окисления (LOKOS-изоляция). Этот способ позволяет обеспечить пониженную рельефность

поверхности пластины, поскольку в этом случае значительная часть изолирующего оксида расположена не на поверхности, а в глубине пластины. Локальный оксид для LOKOS-изоляции (до 1,0 мкм) выращивается при повышенном давлении с использованием маски из нитрида кремния. В отличие от биполярных структур на данном этапе при формировании КМОП-элементов не требуется локальное окисление на всю глубину эпитаксиального слоя (рис. 2). Отметим, что увеличение толщины локального оксида более нескольких сотен нм увеличивает размеры дефекта, называемого «птичий клюв», который снижает плоскостность поверхности пластины. Слишком тонкий изолирующий оксид приводит к низким пороговым напряжениям паразитного транзистора и увеличению емкости поликремний/подложка. Недостатком локальной изоляции, при которой в качестве маски используется Si_3N_4 , является возможность повреждения подложки под нитридом аммиаком, выделяющимся в процессе высокотемпературного локального окисления. На поврежденных участках впоследствии не осаждается подзатворный оксид, что приводит к низковольтному пробоем транзистора.

Следующий блок технологического маршрута обычно называют формированием затвора (рис. 3). Однако этот этап на самом деле включает создание трех основных областей МОП-структуры: **затвора** (поликремний),

подзатворного диэлектрика (SiO_2) и **канала** (легированный Si). В случае транзисторов с индуцированным каналом канальная (подзатворная) область полупроводника легируется с целью регулирования величины, точнее, достижения заданного (достаточно низкого) значения порогового напряжения. Для этого (особенно при тенденции уменьшения длины канала и толщины подзатворного диэлектрика) необходимо обеспечить достаточно высокую концентрацию примесей в подложке под каналом. Напомним, что структура КМОП-элементов формируется в слаболегированном полупроводнике. В случае КМОП-структуры стоит задача выравнивания пороговых напряжений транзисторов разных типов, то есть снижения одного и увеличения другого. С этой целью проводится подлегирование областей обоих каналов бором либо в одном, либо в отдельных (как в предложенном варианте) циклах. В случае транзисторов со встроенным каналом область канала формируется в виде полупроводника с типом проводимости, противоположным подложке (карману). Отметим, что маршруты и режимы легирования (подлегирование подложки, кармана, канала) на этом этапе могут отличаться в зависимости от особенностей создаваемой структуры.

Очень важным этапом является формирование тонкого (десятки нм) слоя **подзатворного оксида**. Сплошность и степень чистоты этого слоя во многом определяют работоспособность приборов. Предложенный технологический маршрут рассчитан для проектных норм на топологию 2 мкм, в связи с чем толщина подзатворного диэлектрика в примере выбрана 0,027 мкм. Эффективная длина канала для n-канального транзистора составляет 1,1 мкм, а p-канального - 1,4 мкм. В качестве подзатворного диэлектрика используется пирогенный оксид кремния, который наиболее отвечает необходимым требованиям.

Затвор в предложенном маршруте формируется на основе поликремния (0,45 мкм), диффузионнолегированного фосфором с использованием силанового метода. Использование поликремния связано с его повышенной термостойкостью по сравнению с металлами. Улучшенными характеристиками обладают затворы, содержащие силициды тугоплавких металлов на поверхности поликремния. При выборе материала затвора следует учитывать работу выхода электронов, которая влияет на величину порогового напряжения транзистора.

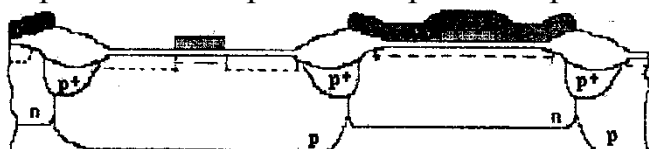


Рис. 4. Формирование стоков – истоковых областей

... формирование стоков-истоковых областей n-канальных транзисторов (фотолитография "истоки", и. л. P+)

мкКл/см². Истоки (стоки) p^+ создаются ионным легированием бора с энергией 30 кэВ и дозой 300 мкКл/см². Затем проводится активация

Истоки (стоки) (рис. 4) транзисторных структур создаются в виде вырожденных высоколегированных областей с типом проводимости, соответствующим каналу. **Истоки (стоки)** n^+ создаются ионным легированием фосфора с энергией 40 кэВ и дозой 1000

(разгонка) примеси при 850°C в сухом кислороде в течении 30 минут.

Так как концентрация примеси в *p*-кармане достаточно низкая, пороговое напряжение *n*-канальных транзисторов зависит в основном от дозы ионов бора, имплантированных в канал. Пороговое напряжение *p*-канального транзистора определяется в основном уровнем легирования в области канала. Величины пороговых напряжений *p*- и *n*-канальных транзисторов составляют $1,1 \pm 0,2$ В. Удельные поверхностные сопротивления основных слоев (табл.1) контролируются на соответствующих этапах на спутниках (нерабочих пластинах, которые проходят аналогичную обработку).

Таблица 1

Параметры основных слоев и областей структуры КМОП-элемента

№ п/п	Назначение слоя	Природа слоя	Толщина, мкм	Поверхностное сопротивление, Ом/□
1.	Первый слой металлизации	Al + 1%Si	0,6-0,8	0,1
2.	Второй слой металлизации	Al + 1%Si	1-1,1	0,1
3.	Затвор	ПолиSi	0,45	30
4.	Исток (сток) n^+	Si + P	0,5	60
5.	Исток (сток) p^+	Si + B	0,5	10
6.	<i>p</i> -карман	Si + B	~ 6	2500
7.	<i>n</i> -карман	Si + P	~ 5	4000

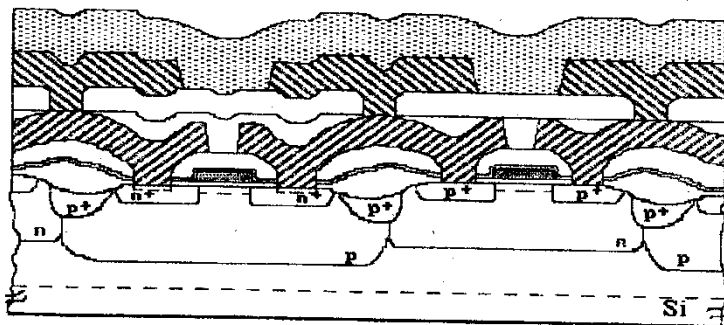


Рис. 26. Формирование второго уровня металлизации (нанесение низкотемпературного ФСС, фотолитография "контакт 2", напыление Al 2, фотолитография "металл 2", ПХТ Al 2, удаление фоторезиста, нанесение низкотемпературного ФСС, фотолитография "пассивация", ПХТ ФСС, удаление фоторезиста)

В конструкции микросхем используется двухуровневая металлизация (рис. 5) с шагом в слоях - 6 мкм (шина - 4,2 мкм; зазор - 1,8 мкм). Столь малые топологические размеры требуют максимальной планаризации рельефа. В качестве первого межслойного планаризирующего

диэлектрика используется борофосфорно-силикатное стекло (БФСС) толщиной 0,6 мкм. Достоинством БФСС является его низкая температура оплавления (850 °С), что позволяет проводить планаризацию как по затвору, так и после травления контактных окон. При травлении происходит "подтрав" кремния в области контактных окон (на глубину 0,1 мкм), что приводит к снижению поверхностной концентрации носителей в n-области и, как следствие, к увеличению контактного сопротивления. С целью исключения данного вида брака необходимо проводить дополнительное легирование n-области с использованием дополнительной литографии.

С целью исключения обрывов по второму слою металла проводится дополнительная планаризация методом сквозного протравливания. Метод заключается в следующем: после создания первого уровня металлизации наносится фосфорно-силикатное стекло (ФСС) (0,8 мкм) и разжиженный фоторезист. После сушки и задубливания фоторезиста проводится плазмохимическое травление фоторезиста и ФСС, причем режимы травления подбираются таким образом, чтобы скорость травления фоторезиста и ФСС были одинаковыми. Наилучшая планаризация получается, когда травление проводится до остаточной толщины ФСС 0,3 мкм. После формирования металлизации проводят **пассивацию** (рис. 5) кристаллов для защиты структур от механических и климатических воздействий. В качестве пассивирующих слоев МОП- и КМОП-структур используется нитрид кремния, осажденный плазмохимически, или смешанный аналогично полученный слой $\text{SiO}_2 + \text{Si}_3\text{N}_4$, в котором слой нитрида имеет большую толщину.

Выполнение работы

Работа выполняется с использованием компьютерной обучающей программы. Работа включает следующие этапы:

1. Запуск программы осуществляется из папки **С: \ Интегральная технология** запускающим файлом **Op_sbis.exe**. Далее выбирается вариант работы **КМОП** из меню программы.

2. Изучение маршрутной технологии формирования структуры КМОП-элементов полупроводниковых интегральных схем.

3. По результатам изучения технологии представляется изображение финишной структуры КМОП-элемента и маршрутный лист технологии формирования КМОП-элемента (аналогично работе № 6).

4. По заданию проводится заполнение данных в таблицах 1-3, форма которых приведена в лабораторной работе № 6.

Контрольные вопросы

1. Общая характеристика использования элементов на МОП-структурах в производстве интегральных схем. 2. Основные области КМОП-элементов, их назначение и химический состав. 3. Общая характеристика технологии получения МОП-структур в сравнении с биполярными схемами. 4. Маршрутная технология формирования КМОП-элементов и технологические параметры операций.

Литература

1. Черняев В.Н. Технология производства интегральных микросхем и микропроцессоров. – М.: Высшая школа, 1987. – с. 377 – 384, 396 – 399. 2. Технология СБИС / Под ред. Зи С. – В 2-х кн., кн.2. – 1986. – с.231 – 247. 3. Коледов Л.А. Технология и конструкции микросхем, микропроцессоров и микросборок. – М.: Радио и связь, 1989. – с. 232 – 251.